|  |  |
| --- | --- |
| **Apellidos, Nombre:** | MARTINEZ-CARRASCO RUIZ, JUAN DIEGO |
| **DNI:** | 49858155C |

**Tarea 3 de Fundamentos de Computadores**1° curso de Grado en Ingeniería Informática  
Fecha de entrega: *9 de noviembre de 2020*

**Test (3.0 puntos)** Rellene la siguiente tabla con la respuesta correcta a las preguntas de test que siguen. Escriba para ello **una X** en la celda correspondiente a cada respuesta correcta. Cada pregunta tiene una y sólo una respuesta correcta (una X para cada una de las columnas T1-T12). Cada 3 respuestas incorrectas anularán 1 correcta.

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **T1** | **T2** | **T3** | **T4** | **T5** | **T6** | **T7** | **T8** | **T9** | **T10** | **T11** | **T12** |
| **a** |  |  |  |  |  | X |  |  |  | X |  |  |
| **b** | X | X | X |  |  |  |  |  | X |  |  |  |
| **c** |  |  |  |  |  |  |  | X |  |  |  | X |
| **d** |  |  |  | X | X |  | X |  |  |  | X |  |

**T1.** Considérese una función lógica que, tras ser completamente simplificada, queda como F(A,B,C,D) = B'·D+C. Podemos decir sin miedo a equivocarnos que:  
 a) El mayor implicante primo del mapa de Karnaugh resultante cubrirá 1 sólo uno.  
 b) El mayor implicante primo del mapa de Karnaugh resultante cubrirá 8 unos.  
 c) El mayor implicante primo del mapa de Karnaugh resultante cubrirá 4 unos.  
 d) El mayor implicante primo del mapa de Karnaugh resultante cubrirá 2 unos.

**T2.** Considere la función lógica F=A·D+C'+B. Si suponemos un retardo de 2 ns para las puertas NOT, 7 ns para las AND, y 6 ns para las OR, el retardo del circuito completo para obtener el bit F de salida será de:  
 a) 13  
 b) Ninguna de las otras tres respuestas es correcta.  
 c) 8  
 d) 9

**T3.** Sobre una memoria ROM, es CIERTO que:  
 a) Si es una EEPROM, el borrado se hace irradiando el circuito con una luz ultravioleta.  
 b) Es un circuito combinacional, con, (aparte de los inversores iniciales), dos niveles de puertas: un plano AND de entrada y plano OR de salida.  
 c) Si la ROM contiene 32 posiciones de 4 bits cada una, entonces tiene 8 líneas de entrada.  
 d) Es un circuito cuyas salidas, en un instante dado, dependen no solamente del valor de las entradas en dicho instante, sino también de su estado interno (que a su vez depende de la historia de entradas anteriores).

**T4.** La función lógica F(A,B,C,D) = A'·B'·D tiene:  
 a) Exactamente seis unos en las salidas de su tabla de verdad.  
 b) Exactamente dos unos en las salidas de su tabla de verdad.  
 c) Exactamente cuatro unos en las salidas de su tabla de verdad.  
 d) Ninguna de las otras tres respuestas es correcta.

**T5.** Para implementar una función lógica con un decodificador:  
 a) Necesitamos una puerta AND adicional, con tantas entradas como unos tenga la función.  
 b) No es posible, pero sí lo sería con un codificador.  
 c) Conectamos ceros o unos a sus entradas según la tabla de verdad de la función.  
 d) Necesitamos un decodificador con tantas entradas como variables tenga la función, más una puerta OR.

**T6.** Indica cuál de las siguientes afirmaciones es la única VERDADERA:  
 a) Una ROM de 512 posiciones de 12 bits cada una será más compleja (esto es, tendrá más puertas lógicas) que una PLA de tamaño 9x128x12.  
 b) Ninguna de las otras tres respuestas es correcta.  
 c) Un circuito combinacional cualquiera de 9 entradas y una salida se podrá implementar siempre con un multiplexor de 128 a 1, con la única ayuda de un inversor (puerta NOT) adicional.  
 d) Una ROM de 512 posiciones de 12 bits cada una será más sencilla (esto es, tendrá menos puertas lógicas) que una PLA de tamaño 9x256x12.

**T7.** ¿Cuál es el orden correcto de mayor a menor número de puertas lógicas por chip?  
 a) SSI > LSI > MSI > VLSI.  
 b) VLSI > LSI > SSI > MSI.  
 c) LSI > MSI > VLSI > SSI.  
 d) Ninguno de los órdenes de las otras respuestas es correcto.

**T8.** Un circuito lógico combinacional con n líneas de entrada y 2^n líneas de salida, sólo una de las cuales está activa en cada momento, se llama:  
 a) ROM.  
 b) Sumador.  
 c) Decodificador.  
 d) PLA.

**T9.** Indica cuál es la única de las siguientes afirmaciones que es cierta:  
 a) Todo circuito combinacional con 1 bit de salida puede implementarse usando solamente puertas NOT.  
 b) Todo circuito combinacional con 1 bit de salida puede implementarse usando solamente puertas NOR, organizadas en dos niveles (más posibles inversiones de variables a la entrada).  
 c) Todo circuito combinacional con 1 bit de salida puede implementarse usando solamente puertas AND, organizadas en dos niveles (más posibles inversiones de variables a la entrada).  
 d) Todo circuito combinacional con 1 bit de salida puede implementarse usando solamente puertas AND, organizadas en tres niveles (más posibles inversiones de variables a la entrada).

**T10.** En un mapa de Karnaugh de 2 variables, cada celda siempre:  
 a) Tendrá dos, tres o cuatro celdas adyacentes (dependiendo de la celda concreta de que se trate).  
 b) Tendrá dos o tres celdas adyacentes (dependiendo de la celda concreta de que se trate).  
 c) Ninguna de las otras tres respuestas es correcta.  
 d) Se corresponderá exactamente con una fila de la tabla de verdad.

**T11.** Sobre un circuito combinacional, es cierto que:  
 a) Si tiene n variables de entrada, entonces su tabla de verdad tiene n filas.  
 b) Ninguna de las otras tres respuestas es correcta.  
 c) Su salida depende tanto de las entradas en ese instante como las que se produjeran en estados anteriores.  
 d) Si tiene n variables de entrada, entonces su tabla de verdad tiene 2^n filas.

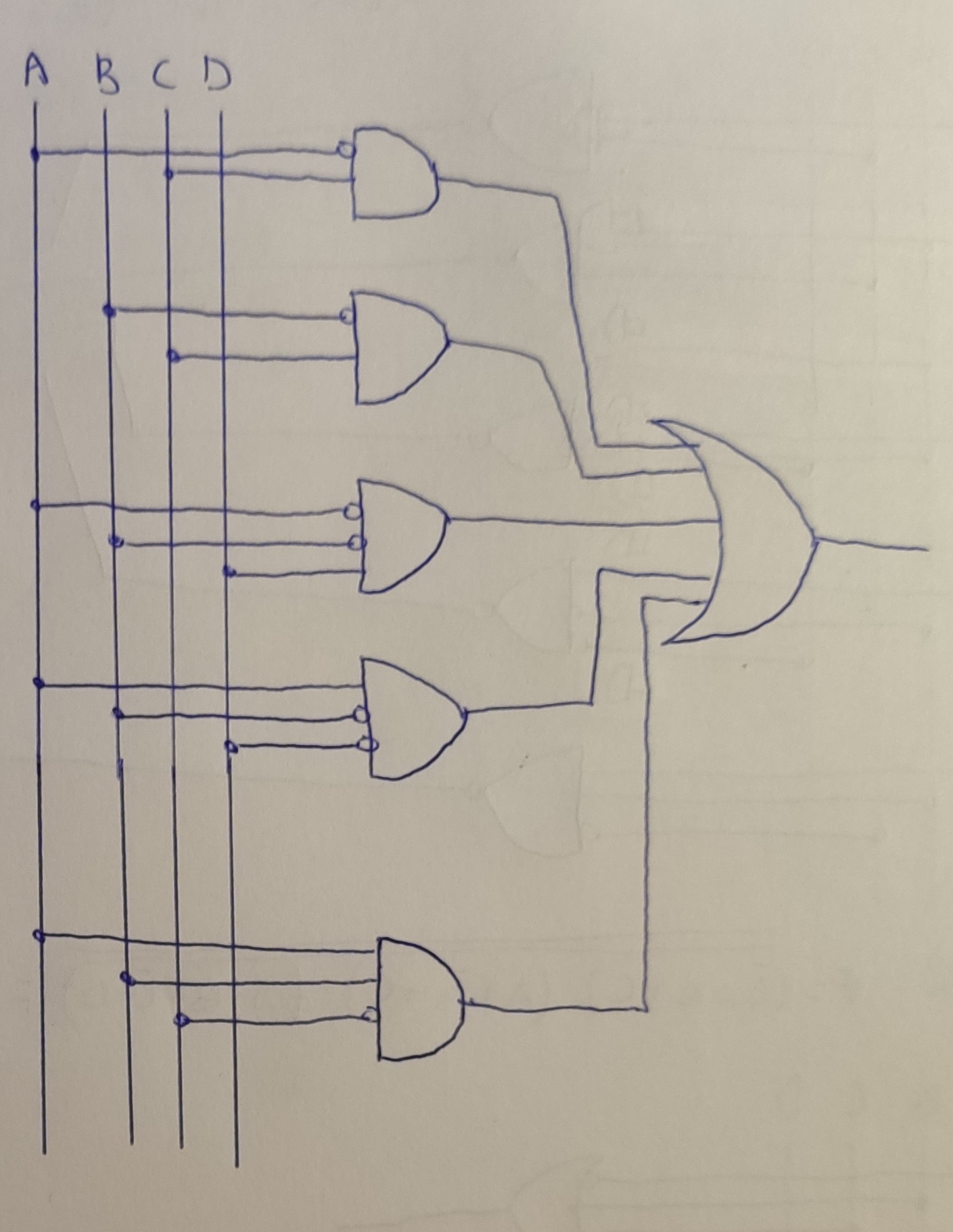
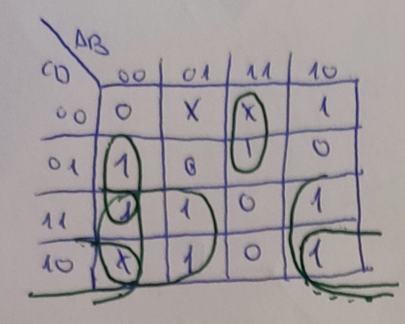
**T12.** Indica cuál de las siguientes afirmaciones es la única VERDADERA. Un multiplexor de 32 a 1 estará formado por:  
 a) 5 puertas OR de 33 entradas cada una, más una puerta AND de 5 entradas (más los inversores que hagan falta).  
 b) Ninguna de las otras tres respuestas es correcta.  
 c) 32 puertas AND de 6 entradas cada una, más una puerta OR de 32 entradas (más los inversores que hagan falta).  
 d) 32 puertas OR de 6 entradas cada una, más una puerta AND de 32 entradas (más los inversores que hagan falta).

**P1. (1.0 puntos)** Responder a las siguientes preguntas en las celdas correspondientes en la siguiente tabla:

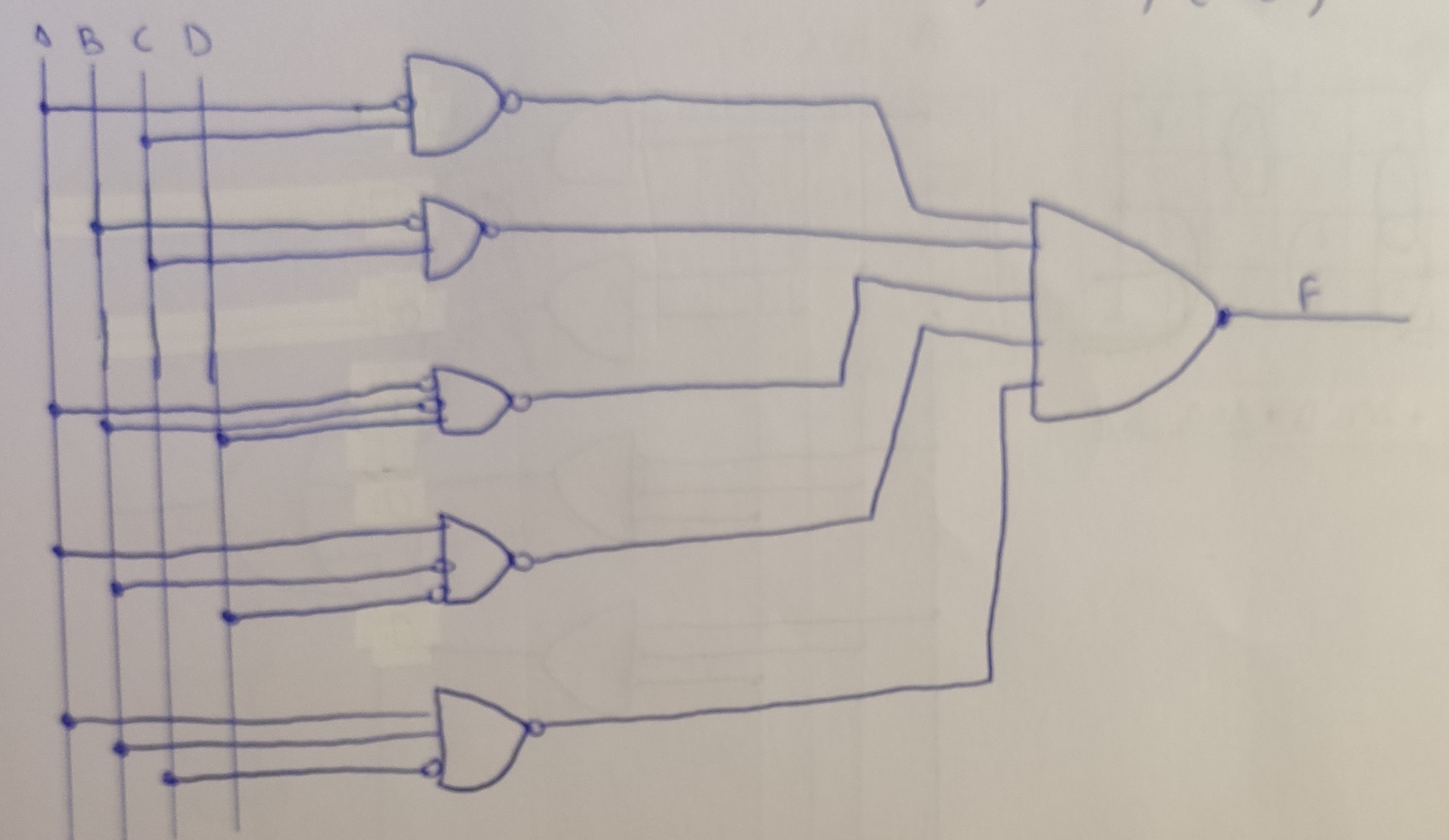
|  |  |
| --- | --- |
| **PREGUNTA** | **RESPUESTA** |
| **Considérese una función lógica con 2 variables de entrada. Si no se consideran salidas de tipo 'no importa' (es decir, toda salida de la función se define como 0 ó 1), el número total de posibles funciones diferentes (esto es, de posibles tablas de verdad diferentes) sera exactamente:** | 16 |
| **Evalúa la función F(A,B,C) = B'+AC para todas sus posibles entradas, y exprésala como suma de mintérminos (ejemplo: si F(A,B,C) = A'·B' + A·B·C, entonces F(A,B,C) = ∑min(0,1,7)):** | ∑min(0,1,4,5,7) |
| **¿Cuál sería la forma canónica en forma de suma de productos correspondiente a esa misma función F?** | F(A,B,C) = m0 +m1 +m4 +m5 + m7 = ∑m(0,1,4,5,7) |
| **¿Y la forma canónica correspondiente a la forma de producto de sumas?** | F(A,B,C) = M2·M3 · M4 · M6 = ∏M(2,3,4,6) |

**P2. (2.0 puntos)** Considere la siguiente función lógica expresada en su forma canónica: F(A,B,C,D)=∑min(1,3,6,7,8,10,11,13)+∑d(2,12,4). Se desea diseñar un circuito lógico combinacional que la implemente (es decir, que produzca una salida uno si los cuatro bits de entrada ABCD interpretados en binario natural se corresponden con uno de los números 1, 3, 6, 7, 8, 10, 11 ó 13, una salida cero si se corresponden con uno de los números 0, 5, 9, 14 ó 15, y la salida no importará si dicha interpretación en binario natural se corresponde con uno de los números 2, 12 ó 4. Se pide:

*a)* Implementar dicha función lógica utilizando la técnica de **SUMA DE PRODUCTOS**. Para ello, **dibujar en un papel tanto el mapa de Karnaugh con la simplificación realizada como el circuito resultante**, realizar **sendas fotos de ambos dibujos** e **insertarlos en los huecos que se indican para ello** a continuación:



**b)** Implementar la misma función lógica utilizando ahora **SÓLO PUERTAS NAND. Dibujar en un papel el circuito resultante, e insertarlo en el hueco que se indica a continuación:**

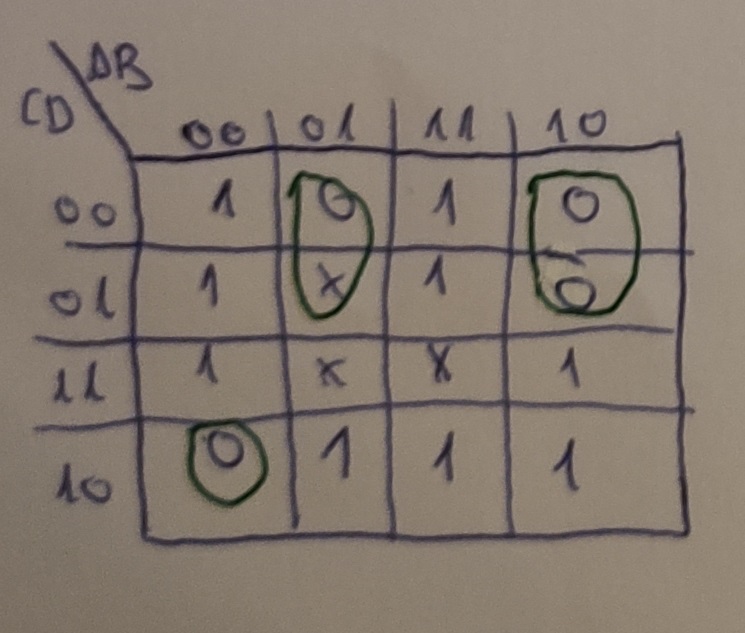


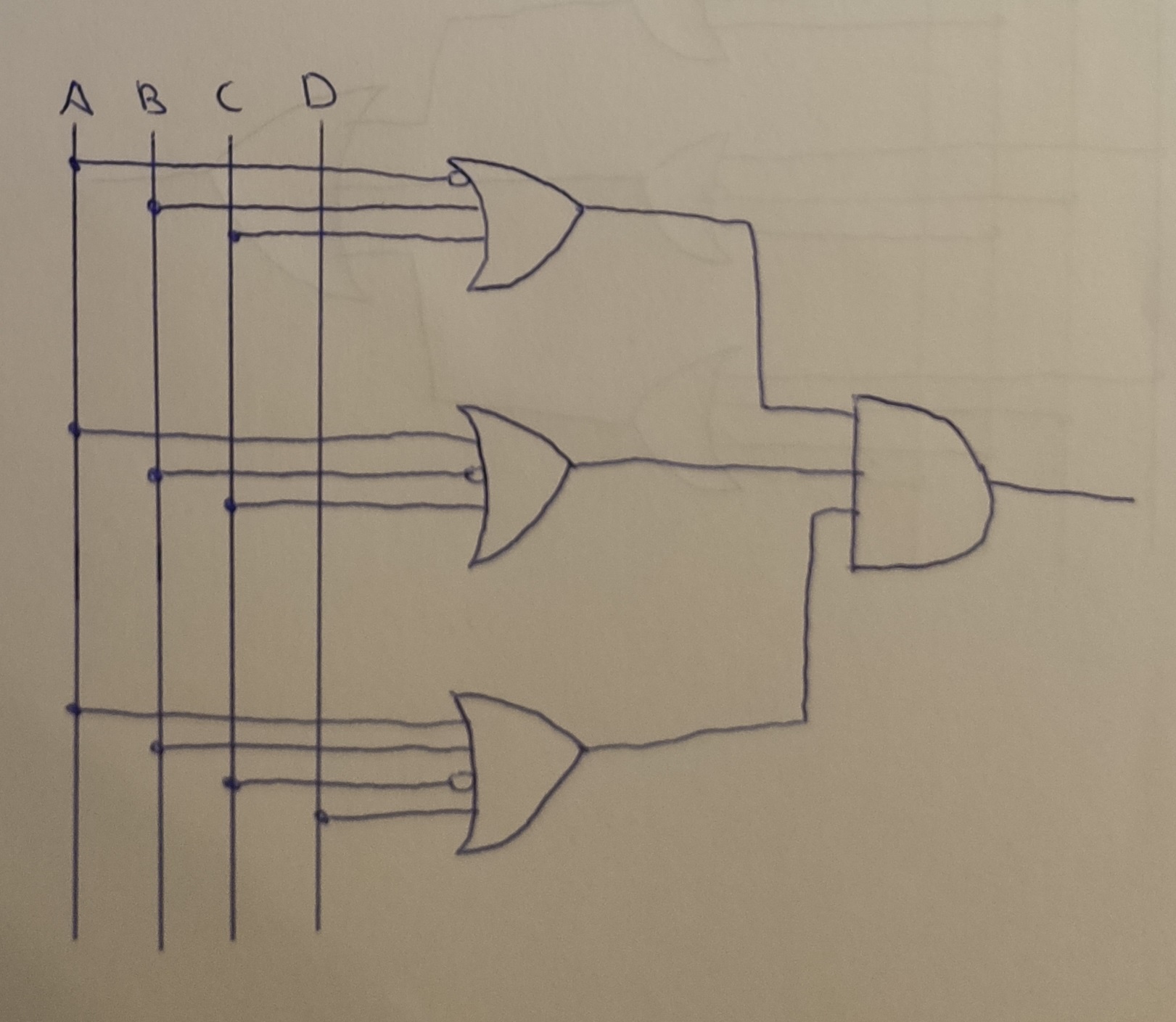
**c)** En relación a los anteriores ejercicios, rellenar la siguiente tabla con las respuestas adecuadas:

|  |  |
| --- | --- |
| **PREGUNTA** | **RESPUESTA** |
| **Expresión lógica de la función resultante en forma de suma de productos. Ejemplo: F(A,B,C,D) = A'BD + AB'C + B'D' + C** | A'C + B'C + A'B'D + AB'D' + ABC' |
| **Expresión lógica de la función resultante que usa sólo productos negados (NAND). Ejemplo: F(A,B,C,D) = ((A'BD)'·(AB'C)'·(B'D')'·C')'** | ((A’C)’ · (B’C)’ · (A’B’D)’ · (AB’D’)’ ·(ABC’)’)’ |

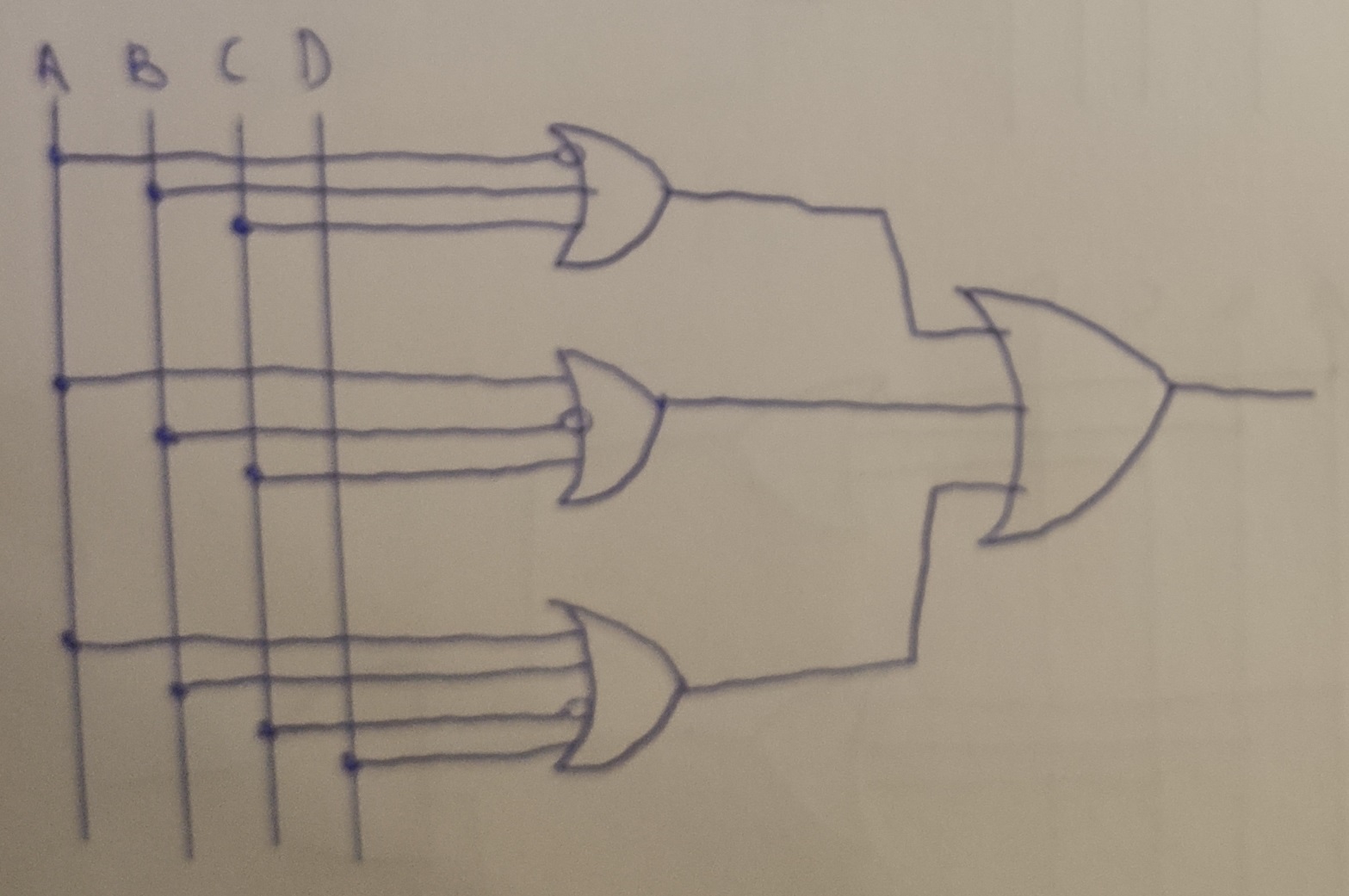
**P3. (2.0 puntos)** Considere la siguiente función lógica expresada en su forma canónica: F(A,B,C,D)=∑min(0,1,3,6,10,11,12,13,14)+∑d(7,5,15). Se desea diseñar un circuito lógico combinacional que la implemente (es decir, que produzca una salida uno si los cuatro bits de entrada ABCD interpretados en binario natural se corresponden con uno de los números 0, 1, 3, 6, 10, 11, 12, 13 ó 14, una salida cero si se corresponden con uno de los números 8, 9, 2 ó 4, y la salida no importará si dicha interpretación en binario natural se corresponde con uno de los números 7, 5 ó 15. Se pide:

*a)* Implementar dicha función lógica utilizando la técnica de **PRODUCTO DE SUMAS**. Para ello, **dibujar en un papel tanto el mapa de Karnaugh con la simplificación realizada como el circuito resultante**, realizar **sendas fotos de ambos dibujos** e **insertarlos en los huecos que se indican para ello** a continuación:





**b)** Implementar la misma función lógica utilizando ahora **SÓLO PUERTAS NOR. Dibujar en un papel el circuito resultante, e insertarlo en el hueco que se indica a continuación:**

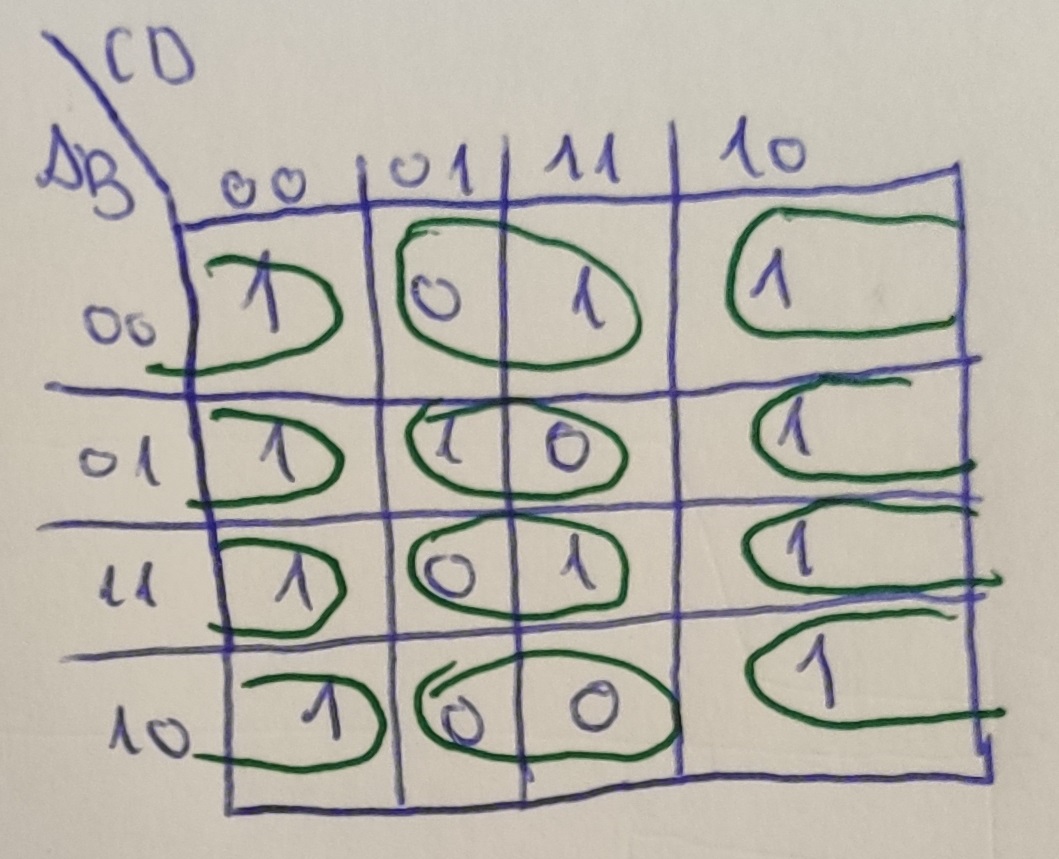


**c)** En relación a los anteriores ejercicios, rellenar la siguiente tabla con las respuestas adecuadas:

|  |  |
| --- | --- |
| **PREGUNTA** | **RESPUESTA** |
| **Expresión lógica de la función resultante en forma de producto de sumas. Ejemplo: F(A,B,C,D) = (A'+B+D)·(A+B'+C)·(B'+D')·C** | (A’+B+C)·(A+B’+C)·(A+B+C’+D) |
| **Expresión lógica de la función resultante que usa sólo sumas negadas (NOR). Ejemplo: F(A,B,C,D) = ((A'+B+D)'+(A+B'+C)'+(B'+D')'+C')'** | ((A’+B+C)’ + (A+B’+C)’ + (A+B+C’+D)’)’ |

**P4. (2.0 puntos)** Se desea implementar un circuito lógico combinacional que produzca una salida uno si los cuatro bits de entrada ABCD interpretados en binario natural son múltiplo exacto de alguno de los números 2, 3 ó 5, y una salida cero en caso contrario. El cero se considerará múltiplo exacto de cualquier número, así que la salida deseada para la entrada ABCD=0000 será en todo caso un uno. Para diseñar dicho circuito se dispone únicamente de **UN MUX 8x1 Y, SI ES NECESARIO, UN INVERSOR (PUERTA NOT)**. Las variables que se emplearán para alimentar las entradas de control del multiplexor deberán ser **A, B y D**. Se pide:

*a)* Dibujar en un papel el mapa de Karnaugh resultante, resaltando claramente en él los 8 grupos correspondientes a las ocho entradas del multiplexor. **Fotografiar entonces dicho mapa** e **insertarlo en el hueco que se indica para ello** a continuación:



*b)* Dibujar en un papel el circuito resultante, donde se aprecien claramente los valores y/o variables con que se alimentan todas las entradas (datos y control) del mismo. **Fotografiar entonces dicho dibujo** e **insertarlo en el hueco que se indica para ello** a continuación:

